

540,973

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 7 月 15 日 (15.07.2004)

PCT

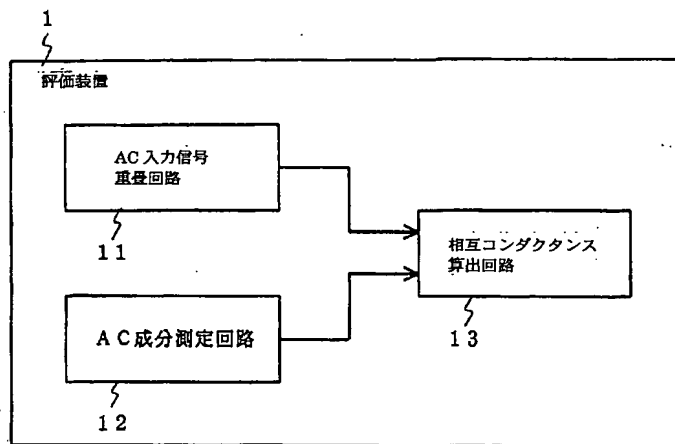
(10) 国際公開番号
WO 2004/059333 A1

- (51) 国際特許分類: G01R 31/26
- (21) 国際出願番号: PCT/JP2003/016804
- (22) 国際出願日: 2003 年 12 月 25 日 (25.12.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2002-373349
2002 年 12 月 25 日 (25.12.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 田辺 昭 (TANABE, Akira) [JP/JP]; 〒108-8001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 浜田 治雄 (HAMADA, Haruo); 〒107-0062 東京都港区南青山 3 丁目 4 番 12 号 知恵の館 Tokyo (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: EVALUATION DEVICE AND CIRCUIT DESIGN METHOD USED FOR THE SAME

(54) 発明の名称: 評価装置及びそれに用いる回路設計方法



1...EVALUATION DEVICE
11...AC INPUT SIGNAL SUPERIMPOSING CIRCUIT
12...AC COMPONENT MEASUREMENT CIRCUIT
13...MUTUAL CONDUCTANCE CALCULATION CIRCUIT

(57) Abstract: There is provided an evaluation device capable of measuring the I-V characteristic in the MOSFET AC operation with a high accuracy. There are also provided a circuit design method and a circuit design system used for the evaluation device. In the evaluation device (1), an AC input signal superimposing circuit (11) applies DC voltage to the MOSFET gate/source/drain substrate and superimposes an AC input signal of very small voltage on the gate. An AC component measurement circuit (12) measures an AC component of the current flowing between the source and the drain at that time. A mutual conductance calculation circuit (13) compares the amplitude of the AC component of the current to the amplitude of the AC input signal and calculates, from this ratio, the mutual conductance in the frequency of the AC input signal of the MOSFET.

(57) 要約: MOSFETのAC動作でのI-V特性を精度良く測定可能な評価装置及びそれに用いる回路設計方法並びに回路設計システムを提供する。評価装置1において、AC入力信号重畳回路

[続葉有]

WO 2004/059333 A1



(84) 指定国 (広域): ARIPO 特許 (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

11はMOSFETのゲート・ソース・ドレイン・基板にDC電圧を印加し、ゲートに微小電圧のAC入力信号を重畳する。AC成分測定回路12はその時のソース・ドレイン間に流れる電流のAC成分を測定し、相互コンダクタンス算出回路13は電流のAC成分の振幅とAC入力信号の振幅との比較を行い、この比からMOSFETのAC入力信号の周波数における相互コンダクタンスを求める。

明細書

評価装置及びそれに用いる回路設計方法

技術分野

本発明は評価装置及びそれに用いる回路設計方法並びに回路設計システムに関し、特にSOI (Silicon On Insulator) MOSFET (Metal Oxide Semiconductor Field Effect Transistor) の評価装置及びそれに用いる回路設計方法並びに回路設計システムに関する。

背景技術

本発明に関する現時点での技術水準をより十分に説明する目的で、本願で引用され或いは特定される特許、特許出願、特許公報、科学論文等の全てを、ここに、参照することでそれらの全ての説明を組入れる。

SOI MOSFETでは、ヒストリ効果のため、動作履歴によってオン電流が変化することが知られている。このため、SOI MOSFETではDCでのI-V特性以外に動的なI-V特性を知る必要がある。

従来、このI-V特性を測定するには、図1に示すようなパルス測定方式が用いられている。図1においては、MOSFET 105のソースをグラウンドに、ドレインを誘導性負荷(L1) 121を介して電源に接続し、さらに容量性の素子(C1) 122を介してオシロスコープ120に接続する。また、ゲートにはパルス発生器119を接続する。

パルス発生器119から方形波をMOSFET 105に入力すると、MOSFET 105のドレイン電流の変化によって誘導性負荷(L1) 121を流れる電流が変化し、ドレインの電圧が変化する。このドレイン電圧の変化はオシロスコープ120によって観測される。誘導性負荷(L1) 121の特性が分かっているならば、こ

のドレイン電圧の変化からドレイン電流の変化が求まる。この入力の方形波の振幅とドレイン電流との関係がパルス入力時の $I-V$ 特性となる。このことは、例えば、IEEE Electron Device Letters, Vol. 16, No. 4, p145, 1995に開示される。

他の測定方式としては、図2に示すようなドレインコンダクタンス法と呼ばれる方式がある。この方式ではゲートにDCの電圧を加えた状態で、ソースとドレインとにインピーダンスアナライザを接続し、AC信号を印加しながらソースードレイン間の微分コンダクタンス g_D を測定する。この微分コンダクタンス g_D をドレイン電圧で積分すると、AC信号の周波数での $I-V$ 特性が得られる。このことは、例えば、IEEE Journal of Solid-State Circuits Vol. 27, No. 8, p1186, 1992に開示される。

SOI MOSFETの回路設計にはBSIM SOI等のSOI対応SPICE（回路シミュレータ）パラメータが使用されている。このパラメータの抽出にはDCでの $I-V$ 測定の値が用いられている。このことは、例えば、BSIM PD 2.1 MOSFET MODEL Users' Manual BSIM Research Group 1999に開示される。

パルス測定方式は電圧をオシロスコープで観測するが、オシロスコープの電圧分解能はDCの電流計や電圧計に比べて低いために、測定される電圧の精度が低いという問題がある。また、方形波には種々の周波数の信号が含まれているため、特定の周波数における $I-V$ 特性を得ることができない。

ドレインコンダクタンス法はインピーダンスアナライザを使用するため、パルス測定方式よりも高精度である。しかしながら、ゲート電圧一定で測定するため、実際のMOSFETの動作とは異なっている。このため、実際のMOSFETの動作における動的な $I-V$ 特性を知ることができないという問題がある。

また、実際の動作における動的な $I-V$ 特性が分からないために、SOI対応SPICEパラメータの抽出作業において、動的な $I-V$ 特性に対するパラメータの

フィッティングが行われない。

発明の開示

そこで、本発明の目的は上記の問題点を解消し、MOSFET、特にSOIMOSFETのAC動作でのI-V特性を精度良く測定することができる評価装置を提供することにある。

本発明の更なる目的は上記の問題点を解消し、MOSFET、特にSOIMOSFETのAC動作でのI-V特性を精度良く測定することができる回路設計方法を提供することにある。

本発明の更なる目的は上記の問題点を解消し、MOSFET、特にSOIMOSFETのAC動作でのI-V特性を精度良く測定することができる回路設計システムを提供することにある。

本発明の第一の側面によれば、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート、ソース及びドレインにDC電圧を印加した状態で前記ゲートにAC入力信号を重畳するAC入力信号重畳回路と、前記ゲートに前記AC入力信号を重畳した時に前記ソースと前記ドレインとの間に流れる電流のAC成分を測定するAC成分測定回路と、前記測定した電流のAC成分の振幅と前記AC入力信号の振幅との比から前記MOSFETの前記AC入力信号の周波数における相互コンダクタンスを求める相互コンダクタンス算出回路とを含む評価装置を提供する。ここで、AC入力信号は微小電圧である。

本発明の評価装置は、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート・ソース・ドレイン・基板にDC電圧を印加した状態で、ゲートに微小電圧のAC入力信号を重畳し、この時にソース・ドレイン間に流れる電流のAC成分を測定し、電流のAC成分の振幅とAC入力信号の振幅との比からMOSFETのAC入力信号

の周波数における相互コンダクタンスを求めている。ここで、前記MOSFETは、SOI (Silicon On Insulator) 構造を有するSOI MOSFETである。

本発明の評価装置は、前記相互コンダクタンスをゲート電圧を掃引しながら測定して前記相互コンダクタンスを前記ゲート電圧で積分することで前記AC入力信号の周波数近辺におけるドレイン電流を求めるドレイン電流算出回路を更に含むよう構成し得る。

また、本発明の評価装置は、前記AC入力信号の周波数における前記SOI MOSFETの相互コンダクタンスと前記AC入力信号を重畳しないDCでの前記SOI MOSFETの相互コンダクタンスとの比と、前記SOI MOSFETのボディ電圧としきい値との関係とから前記AC入力信号が入力されている状態での前記ボディ電圧のAC成分の振幅を求めるAC成分振幅算出回路を更に含むよう構成し得る。

また、本発明の評価装置は、前記SOI MOSFETをシミュレートする回路シミュレーション部と、前記MOSFETの測定結果として前記相互コンダクタンス算出回路から得られる前記相互コンダクタンスの周波数特性のゲート・ソース・ドレイン電圧依存性を、前記MOSFETをシミュレートする回路シミュレーションの結果として得られる相互コンダクタンスの周波数特性のゲート・ソース・ドレイン電圧依存性と比較する比較回路と、前記回路シミュレーションの結果として得られる相互コンダクタンスの周波数特性が前記MOSFETの測定結果から得られる相互コンダクタンスの周波数特性に近づくように前記回路シミュレーションに用いるパラメータを変化させるパラメータ制御回路とを更に含むよう構成し得る。

また、本発明の評価装置によれば、前記相互コンダクタンスの測定を前記ゲート電圧が前記MOSFETのしきい値の上下0.5V以内となるバイアス条件で行うことが望ましい。

また、前記AC入力信号重畳回路は、前記ゲート、前記ソース及び前記ドレイン

に加え基板にもDC電圧を印加した状態で前記ゲートにAC入力信号を重畳することが望ましい。

本発明の第二の側面によれば、SOI (Silicon On Insulator) MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート、ソース及びドレインにDC電圧を印加した状態で前記ドレインにAC入力信号を重畳するAC入力信号重畳回路と、前記ドレインに前記AC入力信号を重畳した時に前記ソースと前記ドレインとの間に流れる電流のAC成分を測定するAC成分測定回路と、前記測定した電流のAC成分の振幅と前記AC入力信号の振幅との比から前記SOI MOSFETの前記AC入力信号の周波数におけるドレインコンダクタンスを求めるドレインコンダクタンス算出回路とを含む評価装置を提供する。ここで、AC入力信号は微小電圧である。

本発明の評価装置は、前記AC入力信号の周波数におけるドレインコンダクタンスと前記AC入力信号を重畳しないDCでの前記SOI MOSFETのドレインコンダクタンスとの比と、前記SOI MOSFETのボディ電圧としきい値との関係とから前記AC入力信号が入力されている状態での前記ボディ電圧のAC成分の振幅を求めるAC成分振幅算出回路を更に含むよう構成し得る。

また、本発明の評価装置は、前記SOI MOSFETをシミュレートする回路シミュレーション部と、前記MOSFETの測定結果として前記ドレインコンダクタンス算出回路から得られる前記ドレインコンダクタンスの周波数特性のゲート・ソース・ドレイン電圧依存性を、前記MOSFETをシミュレートする回路シミュレーションの結果として得られるドレインコンダクタンスの周波数特性のゲート・ソース・ドレイン電圧依存性と比較する比較回路と、前記回路シミュレーションの結果として得られるドレインコンダクタンスの周波数特性が前記MOSFETの測定結果から得られるドレインコンダクタンスの周波数特性に近づくように前記回路シミュレーションに用いるパラメータを変化させるパラメータ制御回路とを更に含

むよう構成し得る。

また、本発明の評価装置によれば、前記ドレインコンダクタンスの測定をドレイン電圧の絶対値が0.5V以内であるバイアス条件で行うことが望ましい。

また、本発明の評価装置によれば、前記AC入力信号重畳回路は、前記ゲート、前記ソース及び前記ドレインに加え基板にもDC電圧を印加した状態で前記ゲートにAC入力信号を重畳することが望ましい。

本発明の第三の側面によれば、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート、ソース及びドレインにDC電圧を印加した状態で前記ゲートにAC入力信号を重畳するステップと、前記ゲートに前記AC入力信号を重畳した時に前記ソースと前記ドレインとの間に流れる電流のAC成分を測定するステップと、前記測定した電流のAC成分の振幅と前記AC入力信号の振幅との比から前記MOSFETの前記AC入力信号の周波数における相互コンダクタンスを求めるステップと、前記MOSFETの測定結果として得られた前記相互コンダクタンスの周波数特性のゲート・ソース・ドレイン電圧依存性を、前記MOSFETに対する回路シミュレーションによって得られる相互コンダクタンスの周波数特性のゲート・ソース・ドレイン電圧依存性と比較するステップと、前記回路シミュレーションの結果として得られた前記相互コンダクタンスの周波数特性が前記MOSFETの測定結果から得られる相互コンダクタンスの周波数特性に近づくように前記回路シミュレーションに用いるパラメータを変化させるステップとを含む回路設計方法を提供する。ここで、AC入力信号は微小電圧である。ここで、前記MOSFETは、SOI (Silicon On Insulator) 構造を有するSOI MOSFETである。前記パラメータは前記MOSFETのボディとゲート・ソース・ドレイン・基板との間の容量及び抵抗の少なくともいずれか1つである。

前記AC入力信号を重畳するステップは、前記ゲート、前記ソース及び前記ドレインに加え基板にもDC電圧を印加した状態で前記ゲートにAC入力信号を重畳す

ることが望ましい。

本発明の第四の側面によれば、SOI (Silicon On Insulator) MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート、ソース及びドレインにDC電圧を印加した状態で前記ドレインにAC入力信号を重畳するステップと、前記ドレインに前記AC入力信号を重畳した時に前記ソースと前記ドレインとの間に流れる電流のAC成分を測定するステップと、前記測定された電流のAC成分の振幅と前記AC入力信号の振幅との比から前記SOI MOSFETの前記AC入力信号の周波数におけるドレインコンダクタンスを求めるステップと、前記MOSFETの測定結果として得られた前記ドレインコンダクタンスの周波数特性のゲート・ソース・ドレイン電圧依存性を前記SOI MOSFETに対する回路シミュレーションによって得られるドレインコンダクタンスの周波数特性のゲート・ソース・ドレイン電圧依存性と比較するステップと、前記回路シミュレーションの結果として得られた前記相互コンダクタンスの周波数特性が前記MOSFETの測定結果から得られるドレインコンダクタンスの周波数特性に近づくように前記回路シミュレーションに用いるパラメータを変化させるステップとを含む回路設計方法を提供する。ここで、AC入力信号は微小電圧である。ここで、前記変化させるパラメータは前記SOI MOSFETのボディと前記ゲート・ソース・ドレイン・基板との間の容量及び抵抗の少なくともいずれか1つである。前記AC入力信号を重畳するステップは、前記ゲート、前記ソース及び前記ドレインに加え基板にもDC電圧を印加した状態で前記ゲートにAC入力信号を重畳することが望ましい。

本発明の第五の側面によれば、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート、ソース及びドレインにDC電圧を印加した状態で前記ゲートにAC入力信号を重畳する機能ブロックと、前記ゲートに前記AC入力信号を重畳した時に前記ソースと前記ドレインとの間に流れる電流のAC成分を測定する機能ブロックと、前

記測定した電流のAC成分の振幅と前記AC入力信号の振幅との比から前記MOSFETの前記AC入力信号の周波数における相互コンダクタンスを求める機能ブロックと、前記MOSFETの測定結果として得られた前記相互コンダクタンスの周波数特性のゲート・ソース・ドレイン電圧依存性を、前記MOSFETに対する回路シミュレーションによって得られる相互コンダクタンスの周波数特性のゲート・ソース・ドレイン電圧依存性と比較する機能ブロックと、前記回路シミュレーションの結果として得られた前記相互コンダクタンスの周波数特性が前記MOSFETの測定結果から得られる相互コンダクタンスの周波数特性に近づくように前記回路シミュレーションに用いるパラメータを変化させる機能ブロックとを含む回路設計システムを提供する。ここで、AC入力信号は微小電圧である。ここで、前記MOSFETは、SOI (Silicon On Insulator) 構造を有するSOI MOSFETである。前記パラメータは前記MOSFETのボディとゲート・ソース・ドレイン・基板との間の容量及び抵抗の少なくともいずれか1つである。前記AC入力信号を重畳する機能ブロックは、前記ゲート、前記ソース及び前記ドレインに加え基板にもDC電圧を印加した状態で前記ゲートにAC入力信号を重畳するよう構成することが望ましい。

本発明の第六の側面によれば、SOI (Silicon On Insulator) MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート、ソース及びドレインにDC電圧を印加した状態で前記ドレインにAC入力信号を重畳する機能ブロックと、前記ドレインに前記AC入力信号を重畳した時に前記ソースと前記ドレインとの間に流れる電流のAC成分を測定する機能ブロックと、前記測定された電流のAC成分の振幅と前記AC入力信号の振幅との比から前記SOI MOSFETの前記AC入力信号の周波数におけるドレインコンダクタンスを求める機能ブロックと、前記MOSFETの測定結果として得られた前記ドレインコンダクタンスの周波数特性のゲート・ソース・ドレイン電圧依存性を前記SOI MOSFETに対

する回路シミュレーションによって得られるドレインコンダクタンスの周波数特性のゲート・ソース・ドレイン電圧依存性と比較する機能ブロックと、前記回路シミュレーションの結果として得られた前記相互コンダクタンスの周波数特性が前記MOSFETの測定結果から得られるドレインコンダクタンスの周波数特性に近づくように前記回路シミュレーションに用いるパラメータを変化させる機能ブロックを含む回路設計システム。ここで、AC入力信号は微小電圧である。前記変化させるパラメータは前記SOI MOSFETのボディと前記ゲート・ソース・ドレイン・基板との間の容量及び抵抗の少なくともいずれか1つである。前記AC入力信号を重畳する機能ブロックは、前記ゲート、前記ソース及び前記ドレインに加え基板にもDC電圧を印加した状態で前記ゲートにAC入力信号を重畳する。

上記のように、本発明によれば、ゲートやドレインからAC信号を入力した時のI-V特性を測定することで、実際のMOSFETの動作に近い状態での動的なI-V特性を高精度に測定することが可能となる。また、本発明によれば、SOI MOSFETでこの動的なI-V特性からボディ電圧の動的な変化を高精度に測定することが可能となる。さらに、この動的なI-V特性とSPICEパラメータによって予測されるI-V特性を比較することで、動的なI-V特性を忠実に再現できるSPICEパラメータを得ることが可能となる。

図面の簡単な説明

図1は、従来のパルス測定法の測定方式を示す図である。

図2は、従来のドレインコンダクタンス法の測定方式を示す図である。

図3は本発明の第一の実施の形態による評価装置の構成を示すブロック図である。

図4は本発明の第一の実施の形態による評価装置の動作を示すフローチャートである。

図5は本発明の第一の実施の形態による評価装置の回路構成を示す回路図である。

図6は本発明の第二の実施の形態に係る評価装置の構成を示すブロック図である。

図 7 は本発明の第二の実施の形態に係る評価装置の動作を示すフローチャートである。

図 8 は本発明の第二の実施の形態に係る評価装置の回路構成を示す回路図である。

図 9 は本発明の一実施例による SOI MOSFET に対して相互コンダクタンス g_m の周波数依存性を求めた場合の結果を示す図である。

図 10 は本発明の第三の実施の形態に係る評価装置の構成を示すブロック図である。

図 11 は本発明の第三の実施の形態に係る評価装置の動作を示すフローチャートである。

図 12 は本発明の第四の実施の形態に係る評価装置の構成を示すブロック図である。

図 13 は本発明の第四の実施の形態に係る評価装置の動作を示すフローチャートである。

図 14 は本発明の第五の実施の形態に係る評価装置の構成を示すブロック図である。

図 15 は本発明の第五の実施の形態に係る評価装置の動作を示すフローチャートである。

図 16 は SOI MOSFET のボディまわりの抵抗と容量とを概略的に示した部分縦断面図である。

図 17 は、ドレインコンダクタンス g_D の周波数依存性の一例を示す図である。

発明を実施するための最良の形態

次に、本発明の実施の形態について図面を参照して説明する。図 3 は本発明の第一の実施の形態による評価装置の構成を示すブロック図である。図 3 において、評価装置 1 は AC 入力信号重畳回路 11 と、AC 成分測定回路 12 と、相互コンダクタンス算出回路 13 とから構成されている。

図4は本発明の第一の実施の形態による評価装置の動作を示すフローチャートである。これら図3及び図4を用いて本発明の実施の形態に係る評価装置1の動作について以下説明する。

評価装置1において、AC入力信号重畳回路11はMOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート・ソース・ドレイン・基板にDC電圧を印加し(図4ステップS1)、ゲートに微小電圧のAC入力信号を重畳する(図4ステップS2)。

AC成分測定回路12はその時のソースドレイン間に流れる電流のAC成分を測定し(図4ステップS3)、相互コンダクタンス算出回路13は電流のAC成分の振幅とAC入力信号の振幅との比較を行い(図4ステップS4)、この比からMOSFETのAC入力信号の周波数における相互コンダクタンスを求める(図4ステップS5)。

図5は本発明の第一の実施の形態による評価装置の回路構成を示す回路図である。図5において、本発明の第一の実施の形態による評価装置では、DC電圧源104でnMOS (Metal Oxide Semiconductor) またはpMOSのMOSFET105のドレイン端子に一定電圧を印加した状態で、AC電圧源101とDC電圧源103とを直列接続した電圧源をMOSFET105のゲート端子に接続し、その電圧源の反対側の端子をグラウンドに接続する。

また、本発明の実施の形態による評価装置では、AC電流計102の入力端子をMOSFET105のソース端子に接続し、AC電流計102の反対側の端子をグラウンドに接続する。この状態で、AC電流計102の測定値とAC電圧源101の振幅との比を求めると、その値はAC信号の周波数でのMOSFET105の相互コンダクタンスとなる。

図6は本発明の第二の実施の形態に係る評価装置の構成を示すブロック図である。図6において、本発明の第二の実施の形態に係る評価装置2はドレイン電流算出回路21を付加した以外は図3に示す本発明の第一の実施の形態に係る評価装置1と

同様の構成となっており、同一構成要素には同一符号を付してある。

図7は本発明の第二の実施の形態に係る評価装置の動作を示すフローチャートである。これら図6及び図7を用いて本発明の第二の実施の形態に係る評価装置2の動作について説明する。

評価装置2において、AC入力信号重畳回路11はMOSFETのゲート・ソース・ドレイン・基板にDC電圧を印加し（図7ステップS11）、ゲートに微小電圧のAC入力信号を重畳する（図7ステップS12）。

AC成分測定回路12はその時のソースドレイン間に流れる電流のAC成分を測定し（図7ステップS13）、相互コンダクタンス算出回路13は電流のAC成分の振幅とAC入力信号の振幅との比較を行い（図7ステップS14）、この比からMOSFETのAC入力信号の周波数における相互コンダクタンスを求める（図7ステップS15）。

ドレイン電流算出回路21は相互コンダクタンスを、ゲート電圧を掃引しながら測定し、相互コンダクタンスをゲート電圧で積分し（図7ステップS16）、AC入力信号の周波数近辺におけるドレイン電流を求める（図7ステップS17）。

図8は本発明の第二の実施の形態に係る評価装置の回路構成を示す回路図である。図8においては、本発明の第二の実施の形態に係る評価装置2における実際の測定例を示しており、インピーダンスアナライザ106の内部にはH端子側にAC電圧源101とDC電圧源103とが接続され、L端子側にAC電流計102が接続されている。

この評価装置2では、DC電圧源104でMOSFET105のドレイン端子に一定電圧を印加した状態で、インピーダンスアナライザ106のH端子をMOSFET105のゲート端子に、インピーダンスアナライザ106のL端子をMOSFET105のソース端子にそれぞれ接続する。

この時、AC電圧源101の振幅を V_G 、AC電流計102の振幅を I_S とすると、AC電圧源101の周波数 f でのMOSFET105の相互コンダクタンス

$g_m(f)$ は、

$$g_m(f) = I_S / V_G \quad \dots (1)$$

という式から求めることができる。その際、AC電圧源101の振幅はドレインやゲートに印加するDCの電圧に対して十分小さな値、例えばDCの電圧の1/10以下とする。

図9は本発明の一実施例によるSOI MOSFETに対して相互コンダクタンス g_m の周波数依存性を求めた場合の結果を示す図である。図9において、相互コンダクタンス g_m は周波数の低い領域で、周波数に対して一定値であり、周波数を上げていくと、特定の周波数領域で増加し、それ以上の周波数では再び周波数に対して一定値となる。

また、図8に示す構成において、ドレイン電圧と周波数とを固定したまま、インピーダンスアナライザ106の内部のDC電圧源103の電圧 v_g を変化させて、その時の相互コンダクタンス $g_m(v_g)$ を測定する。この場合、MOSFET105のゲート端子に最小値が電圧 v_{g0} で、最大値が電圧 v_{g1} の信号が入力された時の測定周波数近辺でのドレイン電流の振幅 i_D は、

$$i_D = \int_{v_{g0}}^{v_{g1}} g_m(v_g) dv_g \quad \dots (2)$$

式(2)に示すように、相互コンダクタンス g_m を積分することで得られる。

図9に示すようなSOI MOSFETにおける相互コンダクタンス g_m の変化はSOIのボディ電圧がゲート電圧に連動して変化することによる。相互コンダクタンス g_m の周波数依存性からボディ電圧の振幅は、DCでの相互コンダクタンス g_m の測定値を $g_m(DC)$ とし、周波数 f での相互コンダクタンス g_m の測定値を $g_m(f)$ とし、しきい値のボディ電圧依存性を K_{BODY} とすると、

$$V_{\text{BODY}}(f) = \{ [\beta_{\text{GM}}(f) - 1] / K_{\text{BODY}} \} V_G \quad \dots (3)$$

$$\beta_{\text{GM}}(f) = g_m(f) / g_m(DC) \quad \dots (4)$$

という式から計算することができる。

図10は本発明の第三の実施の形態に係る評価装置の構成を示すブロック図である。図10において、本発明の第三の実施の形態に係る評価装置3はAC成分振幅算出回路31を付加した以外は図3に示す本発明の第一の実施の形態に係る評価装置1と同様の構成となっており、同一構成要素には同一符号を付してある。

図11は本発明の第三の実施の形態に係る評価装置の動作を示すフローチャートである。これら図10及び図11を用いて本発明の他の実施例による評価装置3の動作について説明する。

評価装置3において、AC入力信号重畳回路11はMOSFETのゲート・ソース・ドレイン・基板にDC電圧を印加し（図11ステップS21）、ゲートに微小電圧のAC入力信号を重畳する（図11ステップS22）。

AC成分測定回路12はその時のソース・ドレイン間に流れる電流のAC成分を測定し（図11ステップS23）、相互コンダクタンス算出回路13は電流のAC成分の振幅とAC入力信号の振幅との比較を行い（図11ステップS24）、この比からMOSFETのAC入力信号の周波数における相互コンダクタンスを求める（図11ステップS25）。

AC成分振幅算出回路31はAC入力信号の周波数における相互コンダクタンスとDCでのSOI MOSFETの相互コンダクタンスとを比較し（図11ステップS26）、この比と、SOI MOSFETのボディ電圧としきい値との関係とから、AC入力信号が入力されている状態でのボディ電圧のAC成分の振幅を求める（図11ステップS27）。

図12は本発明の第四の実施の形態に係る評価装置の構成を示すブロック図である。図12において、本発明の第四の実施の形態に係る評価装置4は比較回路41

と、回路シミュレーション部 4 2 と、パラメータ制御回路 4 3 とを付加した以外は図 1 0 に示す本発明の第三の実施の形態に係る評価装置 3 と同様の構成となっており、同一構成要素には同一符号を付してある。

図 1 3 は本発明の第四の実施の形態に係る評価装置の動作を示すフローチャートである。これら図 1 2 及び図 1 3 を用いて本発明の別の実施例による評価装置 4 の動作について説明する。

評価装置 4 において、AC 入力信号重畳回路 1 1 は MOSFET のゲート・ソース・ドレイン・基板に DC 電圧を印加し（図 1 3 ステップ S 3 1）、ゲートに微小電圧の AC 入力信号を重畳する（図 1 3 ステップ S 3 2）。

AC 成分測定回路 1 2 はその時のソース・ドレイン間に流れる電流の AC 成分を測定し（図 1 3 ステップ S 3 3）、相互コンダクタンス算出回路 1 3 は電流の AC 成分の振幅と AC 入力信号の振幅との比較を行い（図 1 3 ステップ S 3 4）、この比から MOSFET の AC 入力信号の周波数における相互コンダクタンスを求める（図 1 3 ステップ S 3 5）。

比較回路 4 1 は DC での相互コンダクタンスからの変化量、つまり相互コンダクタンスの周波数特性のゲート・ソース・ドレイン・基板電圧依存性を、回路シミュレーション部 4 2 での回路シミュレーションによって得られる相互コンダクタンスの周波数特性のゲート・ソース・ドレイン・基板電圧依存性と比較する（図 1 3 ステップ S 3 6）。

パラメータ制御回路 4 3 は回路シミュレーション結果として得られる相互コンダクタンスの周波数特性が前記 MOSFET の測定結果から得られる相互コンダクタンスの周波数特性に近づくように、回路シミュレーション部 4 2 での回路シミュレーションに用いるパラメータを変化させる（図 1 3 ステップ S 3 7）。

図 1 4 は本発明の第五の実施の形態に係る評価装置の構成を示すブロック図である。図 1 4 において、本発明の第五の実施の形態に係る評価装置 5 は相互コンダクタンス算出回路 1 3 の代わりにドレインコンダクタンス算出回路 5 1 を配設し、比

較回路 5 2 と、回路シミュレーション部 5 3 と、パラメータ制御回路 5 4 とを付加した以外は図 3 に示す本発明の第一の実施の形態に係る評価装置 1 と同様の構成となっており、同一構成要素には同一符号を付してある。

図 1 5 は本発明の第五の実施の形態に係る評価装置の動作を示すフローチャートである。これら図 1 4 及び図 1 5 を用いて本発明の第五の実施の形態に係る評価装置 5 の動作について説明する。

評価装置 5 において、AC 入力信号重畳回路 1 1 は MOSFET のゲート・ソース・ドレイン・基板に DC 電圧を印加し（図 1 5 ステップ S 4 1）、ゲートに微小電圧の AC 入力信号を重畳する（図 1 5 ステップ S 4 2）。

AC 成分測定回路 1 2 はその時のソース・ドレイン間に流れる電流の AC 成分を測定し（図 1 5 ステップ S 4 3）、ドレインコンダクタンス算出回路 5 1 は電流の AC 成分の振幅と AC 入力信号の振幅との比較を行い（図 1 5 ステップ S 4 4）、この比から SOI MOSFET の AC 入力信号の周波数におけるドレインコンダクタンスを求める（図 1 5 ステップ S 4 5）。

比較回路 5 2 は前記 MOSFET の測定結果として前記ドレインコンダクタンス算出回路 5 1 から得られる前記ドレインコンダクタンスの周波数特性のゲート・ソース・ドレイン・基板電圧依存性を、回路シミュレーション部 5 3 での回路シミュレーションによって得られるドレインコンダクタンスの周波数特性のゲート・ソース・ドレイン電圧依存性と比較する（図 1 5 ステップ S 4 6）。

パラメータ制御回路 5 4 は回路シミュレーションの結果として得られるドレインコンダクタンスの周波数特性が前記 MOSFET の測定結果から得られるドレインコンダクタンスの周波数特性に近づくように、回路シミュレーション部 5 3 での回路シミュレーションに用いるパラメータを変化させる（図 1 5 ステップ S 4 7）。

図 1 6 は SOI MOSFET のボディまわりの抵抗と容量とを概略的に示した部分縦断面図である。図 1 6 において、SOI MOSFET のボディ 1 1 1 はゲート電極 1 0 7、ソース電極 1 0 8、ドレイン電極 1 0 9、基板電極 1 1 0 との間

に容量 C_{BG112} （ボディーゲート間容量）、 C_{BS113} （ボディーソース間容量）、 C_{BD114} （ボディードレイン間容量）、 C_{BB115} （ボディー基板間容量）が存在する。

また、ボディ111とソース電極108・ドレイン電極109との間のp-n接合がダイオード D_{BS116} （ボディーソース間ダイオード）、 D_{BD117} （ボディードレイン間ダイオード）として表され、チャンネルでのインパクトイオン化による電流が電流源（ I_i ）118（インパクトイオン化電流源）として表されている。

従来のSOI MOSFETの回路設計に用いられるSPICEパラメータは、DCでのソースドレイン間の電流測定とSOIのボディを流れる電流とを用いてパラメータが抽出されているが、これだけではボディの動的な電圧変化を正しくシミュレーションすることはできない。

これに対して、本発明では、図8に示すような相互コンダクタンス g_m の周波数依存性を用いてパラメータ抽出を行う。

これによって、本発明では、ボディ111の動的な電圧変化、つまりSOIのI-V特性の動的な変化を正しくシミュレーションすることができる。この時に抽出されるパラメータはボディ111を流れるDC電流成分からp-n接合の抵抗値やインパクトイオン化電流が、さらに相互コンダクタンス g_m の周波数依存性からボディ111に関わる容量成分がそれぞれ求まる。

SOI MOSFETでは、一般的に、MOSFETを流れる電流による発熱によってMOSFETの温度が上昇してI-V特性が変化することが知られている。この発熱は本発明の相互コンダクタンス g_m 測定にも影響を与えるが、本発明ではゲート電圧をしきい値電圧の±0.5V以内の低い電圧で行うことで、MOSFETを流れる電流を小さくし、発熱を抑制することができる。このため、相互コンダクタンス g_m 測定に与える熱の影響を低減することができる。

図2には従来のドレインコンダクタンス法の測定方法を表している。この図2に示すように、従来の測定方法では、DC電圧源104でnMOSまたはpMOSの

MOSFET 105 のゲート端子に一定電圧を印加した状態で、AC 電圧源 101 と DC 電圧源 103 とを直列接続した電圧源を MOSFET 105 のドレイン端子に接続し、その電圧源の反対側の端子をグラウンドに接続する。

また、従来の測定方法では、AC 電流計 102 の入力端子を MOSFET 105 のソース端子に接続し、AC 電流計 102 の反対側の端子をグラウンドに接続する。この状態で、AC 電流計 102 の測定値と AC 電圧源 101 の振幅との比を求めると、その値は AC の信号の周波数での MOSFET 105 のドレインコンダクタンスとなる。

このドレインコンダクタンス法では、AC 電圧源 101 の振幅を V_D 、AC 電流計 102 の振幅を I_S とすると、AC 電圧源 101 の周波数 f での MOSFET 105 のドレインコンダクタンス $g_D(f)$ は、

$$g_D(f) = I_S / V_D \quad \dots (5)$$

という式で与えられる。

この時のドレインコンダクタンス g_D の周波数依存性は、図 17 に示すように、ドレインコンダクタンス g_D が周波数の低い領域で周波数に対して一定値であり、周波数を上げていくと特定の周波数領域で増加または減少し、それ以上の周波数では再び周波数に対して一定値となる。

SOI MOSFET における、図 17 に示すようなドレインコンダクタンス g_D の変化は SOI のボディ電圧がゲート電圧に連動して変化することによる。ボディ電圧の振幅はドレインコンダクタンス g_D の周波数依存性から、

$$V_{BODY}(f) = \{ [g_D(f) - g_{Dfix}] / g_{mfix} \times K_{BODY} \} \times V_G \quad \dots (6)$$

という式で計算することができる。ここで、 g_{Dfix} はボディ電圧を固定した時のドレインコンダクタンス g_D 、 g_{mfix} はボディ電圧を固定した時の相互コンダクタンス g_m である。

従来の SOI MOSFET の回路設計に用いられる SPICE パラメータは、

DCでのソースドレイン間の電流測定とSOIのボディを流れる電流とを用いてパラメータが抽出されているが、これだけではボディの動的な電圧変化を正しくシミュレーションすることはできない。

これに対して、本発明では、図17に示すようなドレインコンダクタンス g_D の周波数依存性を用いてパラメータ抽出を行っている。これによって、本発明では、ボディの動的な電圧変化、つまりSOIのI-V特性の動的な変化を正しくシミュレーションすることができる。この時に抽出されるパラメータはボディ111を流れるDC電流成分からp-n接合の抵抗値やインパクトイオン化電流が、またドレインコンダクタンス g_D の周波数依存性からボディ111に関わる容量成分がそれぞれ求まる。

一般的に、SOI MOSFETのボディ電圧のDC特性はインパクトイオン化電流に大きな影響を受ける。このため、図17に示す変化において、低周波領域でのドレインコンダクタンス g_D はボディ電圧を固定した時のドレインコンダクタンス g_D からインパクトイオン化の影響分だけ変化した値となる。

これに対して、図17に示す変化において、高周波領域ではインパクトイオン化電流の影響が小さくなり、代わりにボディ111はゲート107、ソース108、ドレイン109、基板110との間に容量の影響が大きくなる。つまり、図17に示す低周波領域でのドレインコンダクタンス g_D と、高周波領域でのドレインコンダクタンス g_D との差はインパクトイオン化の影響と容量の影響との差である。よって、この差の値からは各々の影響のみを切出すことができない。

上述した本発明の各実施の形態では、ソースドレイン間の電圧が±0.5V以内の低い電圧で測定する。これによって、本発明の各実施例では、インパクトイオン化電流が小さくなることで、インパクトイオン化の影響を低減することができる。このため、低周波領域でのドレインコンダクタンス g_D と高周波領域でのドレインコンダクタンス g_D との差から容量の影響のみを切出すことができる。

尚、本発明の第1乃至第4の実施の形態に係る評価装置1、2、3、4は相互コ

ンダクタンスを求めたのに対し、本発明の第五の実施の形態に係る評価装置 5 はドレインコンダクタンスを求めた。例えば、本発明の第三の実施の形態に係る評価装置 3 の変更例として、相互コンダクタンス算出回路 1 3 の代わりにドレインコンダクタンス算出回路を設けることも可能である。この場合、図 1 1 に示したステップ 2 4 乃至ステップ 2 6 は、以下の通りである。

ドレインコンダクタンス算出回路は電流の AC 成分の振幅と AC 入力信号の振幅との比較を行い（図 1 1 ステップ S 2 4 に相当）、この比から MOSFET の AC 入力信号の周波数におけるドレインコンダクタンスを求める（図 1 1 ステップ S 2 5 に相当）。AC 成分振幅算出回路 3 1 は AC 入力信号の周波数におけるドレインコンダクタンスと DC での SOI MOSFET のドレインコンダクタンスとを比較し（図 1 1 ステップ S 2 6 に相当）、この比と、SOI MOSFET のボディ電圧としきい値との関係とから、AC 入力信号が入力されている状態でのボディ電圧の AC 成分の振幅を求める（図 1 1 ステップ S 2 7 に相当）。

更に、本発明の第 1 乃至第 5 の実施の形態に係る評価装置 1、2、3、4、5 は、ゲート、ソース、ドレイン及び基板に DC 電圧を印加した状態で前記ゲートに AC 入力信号を重畳した。しかしながら、基板への DC 電圧を印加は必須の条件ではなく、基板は電氣的に浮遊した状態であっても問題無い場合には、ゲート、ソース、ドレインのみに DC 電圧を印加した状態で前記ゲートに AC 入力信号を重畳してもよい。

以上のように、本発明では、MOSFET 1 0 5 の AC 動作での I-V 特性を精度良く測定することができる。また、本発明では、SOI MOSFET において、この I-V 特性から SOI MOSFET のボディ電圧の AC 動作での挙動を知ることができる。さらに、本発明では、測定した AC 動作での I-V 特性に対して S P I C E パラメータをフィッティングさせることによって、動的な I-V 特性の変化も正しくシミュレーション可能なパラメータを得ることができる。

以上説明したように本発明は、MOSFET のゲート・ソース・ドレイン・基板

にDC電圧を印加した状態で、ゲートに微小電圧のAC入力信号を重畳し、ゲートに微小電圧のAC入力信号を重畳した時にソースとドレインとの間に流れる電流のAC成分を測定し、この測定したAC成分の振幅とAC入力信号の振幅との比からMOSFETのAC入力信号の周波数における相互コンダクタンスを求めることによって、MOSFETのAC動作でのI-V特性を精度良く測定することができるという効果が得られる。

産業上の利用の可能性

本発明に係る評価装置及びそれに用いる回路設計方法並びに回路設計システムは、MOSFET、取分けSOI MOSFETに適用することが可能であり、その利用の可能性において何ら限定するものではない。

幾つかの好適な実施の形態及び実施例に関連付けして本発明を説明したが、これら実施の形態及び実施例は単に実例を挙げて発明を説明するためのものであって、限定することを意味するものではないことが理解できる。本明細書を読んだ後であれば、当業者にとって等価な構成要素や技術による数多くの変更および置換が容易であることが明白であるが、このような変更および置換は、添付の請求項の真の範囲及び精神に該当するものであることは明白である。

請求の範囲

1. MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート、ソース及びドレインにDC電圧を印加した状態で前記ゲートにAC入力信号を重畳するAC入力信号重畳回路と、

前記ゲートに前記AC入力信号を重畳した時に前記ソースと前記ドレインとの間に流れる電流のAC成分を測定するAC成分測定回路と、

前記測定した電流のAC成分の振幅と前記AC入力信号の振幅との比から前記MOSFETの前記AC入力信号の周波数における相互コンダクタンスを求める相互コンダクタンス算出回路とを含む評価装置。

2. 前記MOSFETは、SOI (Silicon On Insulator) 構造を有するSOI MOSFETである請求項1記載の評価装置。

3. 前記相互コンダクタンスをゲート電圧を掃引しながら測定して前記相互コンダクタンスを前記ゲート電圧で積分することで前記AC入力信号の周波数近辺におけるドレイン電流を求めるドレイン電流算出回路を更に含む請求項1記載の評価装置。

4. 前記AC入力信号の周波数における前記SOI MOSFETの相互コンダクタンスと前記AC入力信号を重畳しないDCでの前記SOI MOSFETの相互コンダクタンスとの比と、前記SOI MOSFETのボディ電圧としきい値との関係とから前記AC入力信号が入力されている状態での前記ボディ電圧のAC成分の振幅を求めるAC成分振幅算出回路を更に含む請求項2記載の評価装置。

5. 前記SOI MOSFETをシミュレートする回路シミュレーション部と、

前記MOSFETの測定結果として前記相互コンダクタンス算出回路から得られる前記相互コンダクタンスの周波数特性のゲート・ソース・ドレイン電圧依存性を、前記MOSFETをシミュレートする回路シミュレーションの結果として得られる相互コンダクタンスの周波数特性のゲート・ソース・ドレイン電圧依存性と比較する比較回路と、

前記回路シミュレーションの結果として得られる相互コンダクタンスの周波数特性が前記MOSFETの測定結果から得られる相互コンダクタンスの周波数特性に近づくように前記回路シミュレーションに用いるパラメータを変化させるパラメータ制御回路とを更に含む請求項1記載の評価装置。

6. 前記相互コンダクタンスの測定を前記ゲート電圧が前記MOSFETのしきい値の上下0.5V以内となるバイアス条件で行う請求項1記載の評価装置。

7. 前記AC入力信号重畳回路は、前記ゲート、前記ソース及び前記ドレインに加え基板にもDC電圧を印加した状態で前記ゲートにAC入力信号を重畳する請求項1記載の評価装置。

8. SOI (Silicon On Insulator) MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート、ソース及びドレインにDC電圧を印加した状態で前記ドレインにAC入力信号を重畳するAC入力信号重畳回路と、

前記ドレインに前記AC入力信号を重畳した時に前記ソースと前記ドレインとの間に流れる電流のAC成分を測定するAC成分測定回路と、

前記測定した電流のAC成分の振幅と前記AC入力信号の振幅との比から前記SOI MOSFETの前記AC入力信号の周波数におけるド레인コンダクタンスを求めるド레인コンダクタンス算出回路とを含む評価装置。

9. 前記AC入力信号の周波数におけるド레인コンダクタンスと前記AC入力信号を重畳しないDCでの前記SOI MOSFETのド레인コンダクタンスとの比と、前記SOI MOSFETのボディ電圧としきい値との関係とから前記AC入力信号が入力されている状態での前記ボディ電圧のAC成分の振幅を求めるAC成分振幅算出回路を更に含む請求項8記載の評価装置。

10. 前記SOI MOSFETをシミュレートする回路シミュレーション部と、

前記MOSFETの測定結果として前記ド레인コンダクタンス算出回路から得られる前記ド레인コンダクタンスの周波数特性のゲート・ソース・ド레인電圧依存性を、前記MOSFETをシミュレートする回路シミュレーションの結果として得られるド레인コンダクタンスの周波数特性のゲート・ソース・ド레인電圧依存性と比較する比較回路と、

前記回路シミュレーションの結果として得られるド레인コンダクタンスの周波数特性が前記MOSFETの測定結果から得られるド레인コンダクタンスの周波数特性に近づくように前記回路シミュレーションに用いるパラメータを変化させるパラメータ制御回路とを更に含む請求項8記載の評価装置。

11. 前記ド레인コンダクタンスの測定をド레인電圧の絶対値が0.5V以内であるバイアス条件で行う請求項8記載の評価装置。

12. 前記AC入力信号重畳回路は、前記ゲート、前記ソース及び前記ドレ

インに加え基板にもDC電圧を印加した状態で前記ゲートにAC入力信号を重畳する請求項8記載の評価装置。

13. MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート、ソース及びドレインにDC電圧を印加した状態で前記ゲートにAC入力信号を重畳するステップと、

前記ゲートに前記AC入力信号を重畳した時に前記ソースと前記ドレインとの間に流れる電流のAC成分を測定するステップと、

前記測定した電流のAC成分の振幅と前記AC入力信号の振幅との比から前記MOSFETの前記AC入力信号の周波数における相互コンダクタンスを求めるステップと、

前記MOSFETの測定結果として得られた前記相互コンダクタンスの周波数特性のゲート・ソース・ドレイン電圧依存性を、前記MOSFETに対する回路シミュレーションによって得られる相互コンダクタンスの周波数特性のゲート・ソース・ドレイン電圧依存性と比較するステップと、

前記回路シミュレーションの結果として得られた前記相互コンダクタンスの周波数特性が前記MOSFETの測定結果から得られる相互コンダクタンスの周波数特性に近づくように前記回路シミュレーションに用いるパラメータを変化させるステップとを含む回路設計方法。

14. 前記MOSFETは、SOI (Silicon On Insulator) 構造を有するSOI MOSFETである請求項13記載の回路設計方法。

15. 前記パラメータは前記MOSFETのボディとゲート・ソース・ドレイン・基板との間の容量及び抵抗の少なくともいずれか1つである請求項13記載

の回路設計方法。

16. 前記AC入力信号を重畳するステップは、前記ゲート、前記ソース及び前記ドレインに加え基板にもDC電圧を印加した状態で前記ゲートにAC入力信号を重畳する請求項13記載の回路設計方法。

17. SOI (Silicon On Insulator) MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート、ソース及びドレインにDC電圧を印加した状態で前記ドレインにAC入力信号を重畳するステップと、

前記ドレインに前記AC入力信号を重畳した時に前記ソースと前記ドレインとの間に流れる電流のAC成分を測定するステップと、

前記測定された電流のAC成分の振幅と前記AC入力信号の振幅との比から前記SOI MOSFETの前記AC入力信号の周波数におけるドレインコンダクタンスを求めるステップと、

前記MOSFETの測定結果として得られた前記ドレインコンダクタンスの周波数特性のゲート・ソース・ドレイン電圧依存性を前記SOI MOSFETに対する回路シミュレーションによって得られるドレインコンダクタンスの周波数特性のゲート・ソース・ドレイン電圧依存性と比較するステップと、

前記回路シミュレーションの結果として得られた前記相互コンダクタンスの周波数特性が前記MOSFETの測定結果から得られるドレインコンダクタンスの周波数特性に近づくように前記回路シミュレーションに用いるパラメータを変化させるステップとを含む回路設計方法。

18. 前記変化させるパラメータは前記SOI MOSFETのボディと前記ゲート・ソース・ドレイン・基板との間の容量及び抵抗の少なくともいずれか1つ

である請求項 17 記載の回路設計方法。

19. 前記 AC 入力信号を重畳するステップは、前記ゲート、前記ソース及び前記ドレインに加え基板にも DC 電圧を印加した状態で前記ゲートに AC 入力信号を重畳する請求項 17 記載の回路設計方法。

20. MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート、ソース及びドレインに DC 電圧を印加した状態で前記ゲートに AC 入力信号を重畳する機能ブロックと、

前記ゲートに前記 AC 入力信号を重畳した時に前記ソースと前記ドレインとの間に流れる電流の AC 成分を測定する機能ブロックと、

前記測定した電流の AC 成分の振幅と前記 AC 入力信号の振幅との比から前記 MOSFET の前記 AC 入力信号の周波数における相互コンダクタンスを求める機能ブロックと、

前記 MOSFET の測定結果として得られた前記相互コンダクタンスの周波数特性のゲート・ソース・ドレイン電圧依存性を、前記 MOSFET に対する回路シミュレーションによって得られる相互コンダクタンスの周波数特性のゲート・ソース・ドレイン電圧依存性と比較する機能ブロックと、

前記回路シミュレーションの結果として得られた前記相互コンダクタンスの周波数特性が前記 MOSFET の測定結果から得られる相互コンダクタンスの周波数特性に近づくように前記回路シミュレーションに用いるパラメータを変化させる機能ブロックとを含む回路設計システム。

21. 前記 MOSFET は、SOI (Silicon On Insulator) 構造を有する SOI MOSFET である請求項 20 記載の回路設計シス

テム。

22. 前記パラメータは前記MOSFETのボディとゲート・ソース・ドレイン・基板との間の容量及び抵抗の少なくともいずれか1つである請求項20記載の回路設計システム。

23. 前記AC入力信号を重畳する機能ブロックは、前記ゲート、前記ソース及び前記ドレインに加え基板にもDC電圧を印加した状態で前記ゲートにAC入力信号を重畳する請求項20記載の回路設計システム。

24. SOI (Silicon On Insulator) MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート、ソース及びドレインにDC電圧を印加した状態で前記ドレインにAC入力信号を重畳する機能ブロックと、

前記ドレインに前記AC入力信号を重畳した時に前記ソースと前記ドレインとの間に流れる電流のAC成分を測定する機能ブロックと、

前記測定された電流のAC成分の振幅と前記AC入力信号の振幅との比から前記SOI MOSFETの前記AC入力信号の周波数におけるドレインコンダクタンスを求める機能ブロックと、

前記MOSFETの測定結果として得られた前記ドレインコンダクタンスの周波数特性のゲート・ソース・ドレイン電圧依存性を前記SOI MOSFETに対する回路シミュレーションによって得られるドレインコンダクタンスの周波数特性のゲート・ソース・ドレイン電圧依存性と比較する機能ブロックと、

前記回路シミュレーションの結果として得られた前記相互コンダクタンスの周波数特性が前記MOSFETの測定結果から得られるドレインコンダクタンスの周波数特性に近づくように前記回路シミュレーションに用いるパラメータを

変化させる機能ブロックとを含む回路設計システム。

25. 前記変化させるパラメータは前記SOI MOSFETのボディと前記ゲート・ソース・ドレイン・基板との間の容量及び抵抗の少なくともいずれか1つである請求項24記載の回路設計システム。

26. 前記AC入力信号を重畳する機能ブロックは、前記ゲート、前記ソース及び前記ドレインに加え基板にもDC電圧を印加した状態で前記ゲートにAC入力信号を重畳する請求項24記載の回路設計システム。

図 1

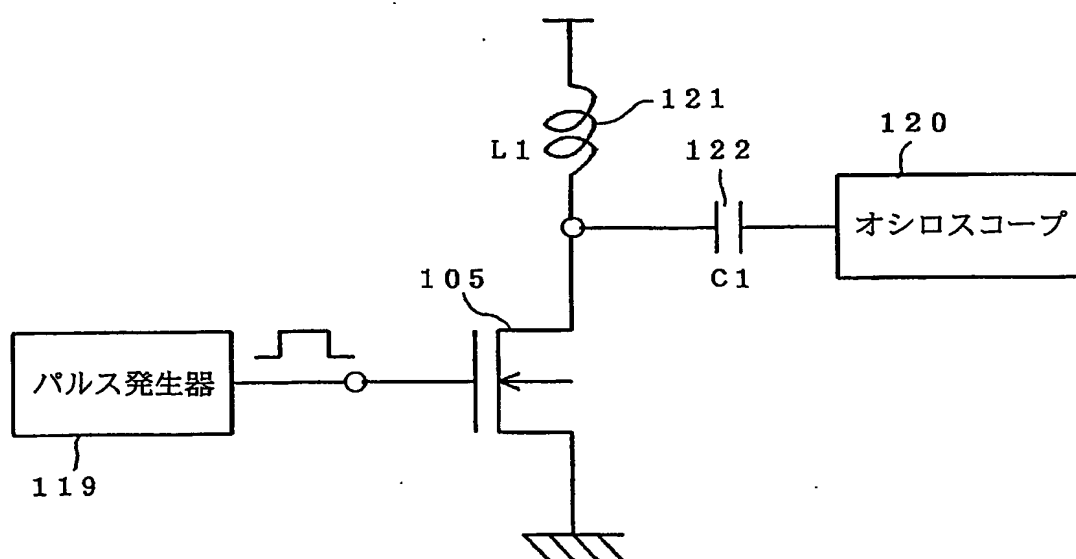


図 2

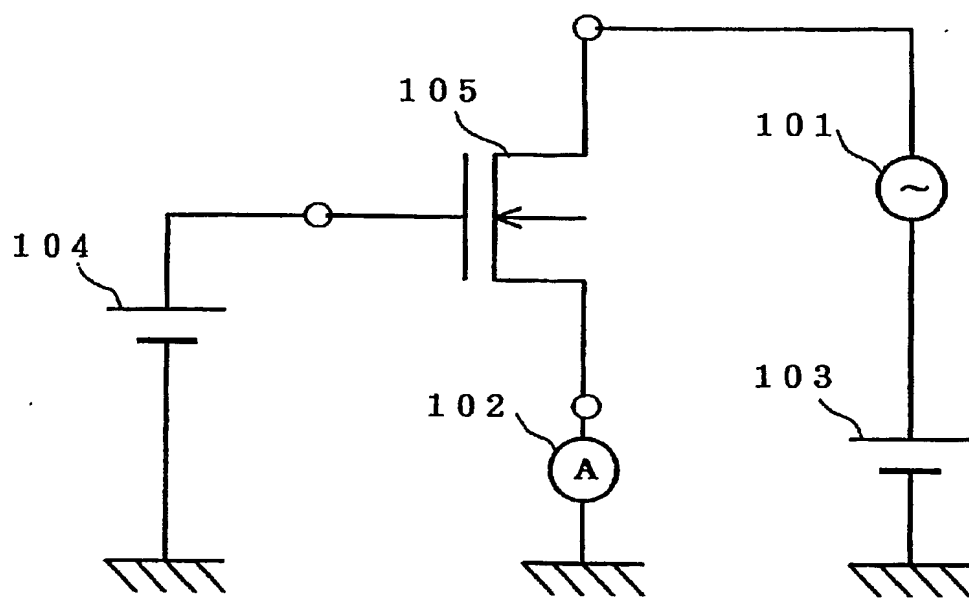


図 3

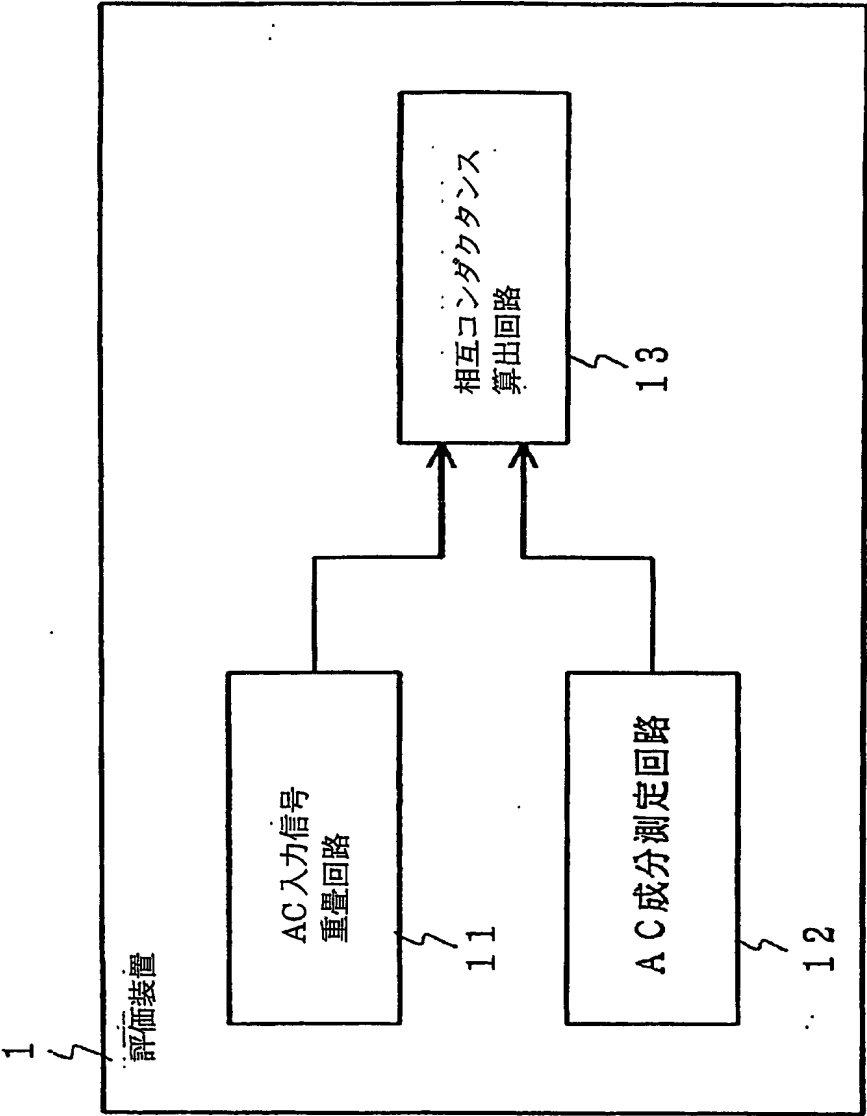


図 4

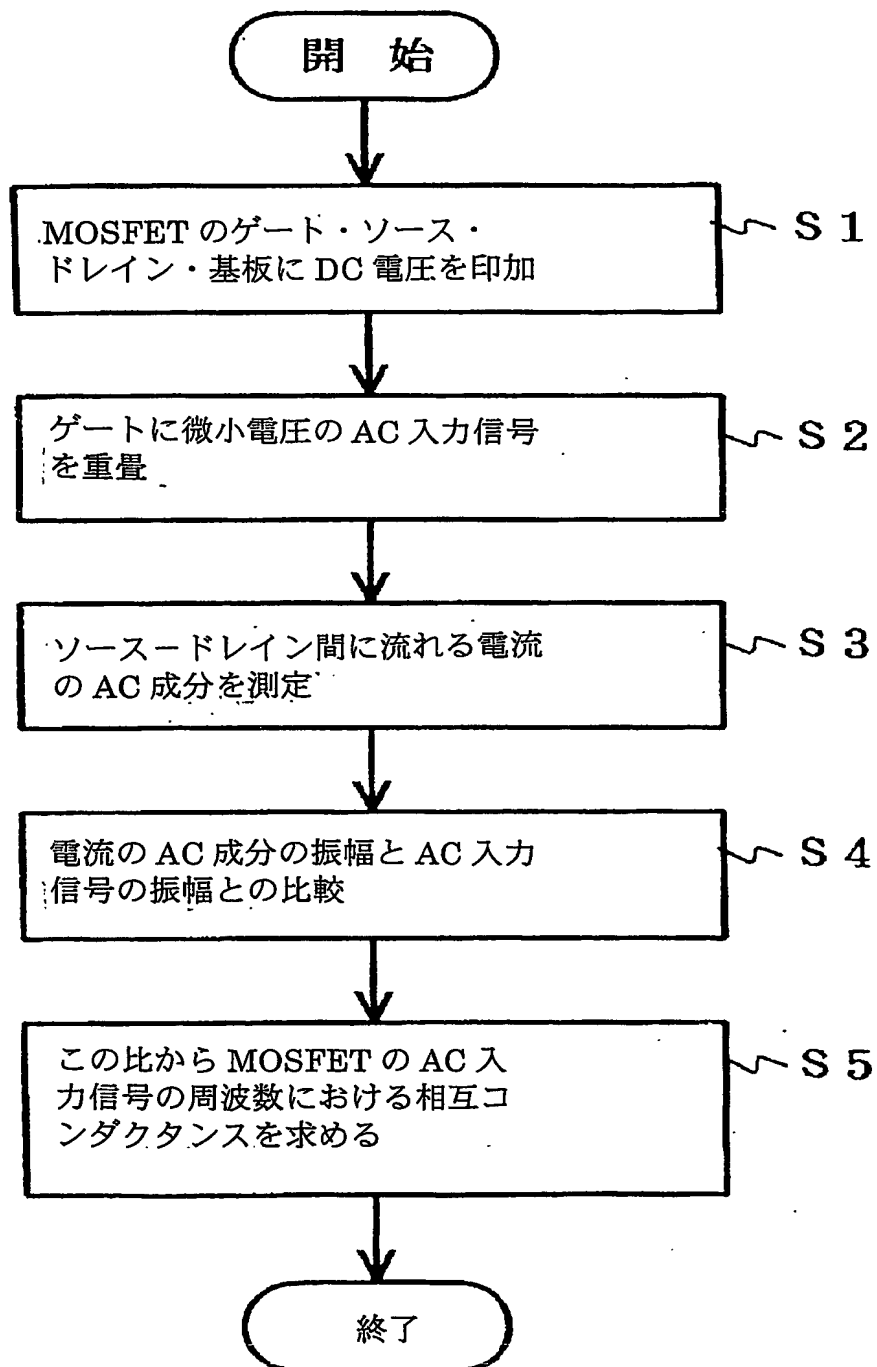


図 5

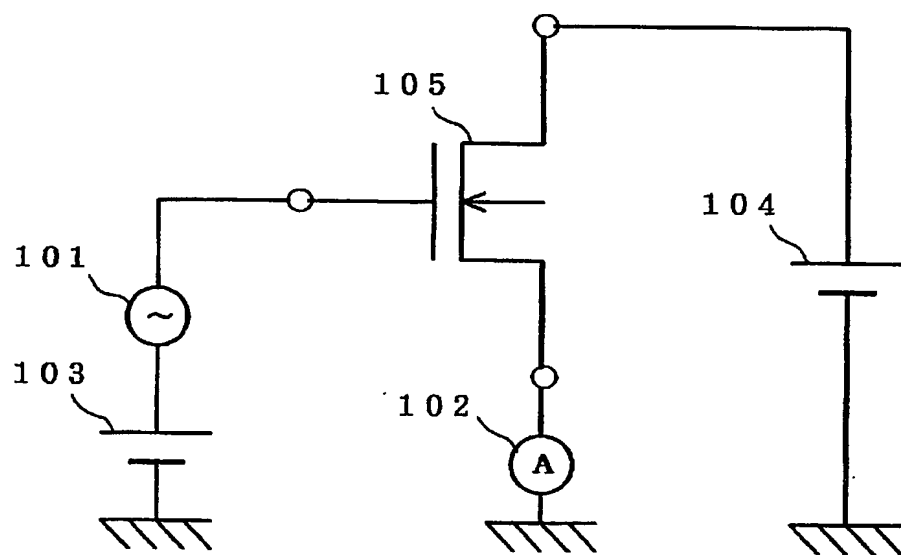
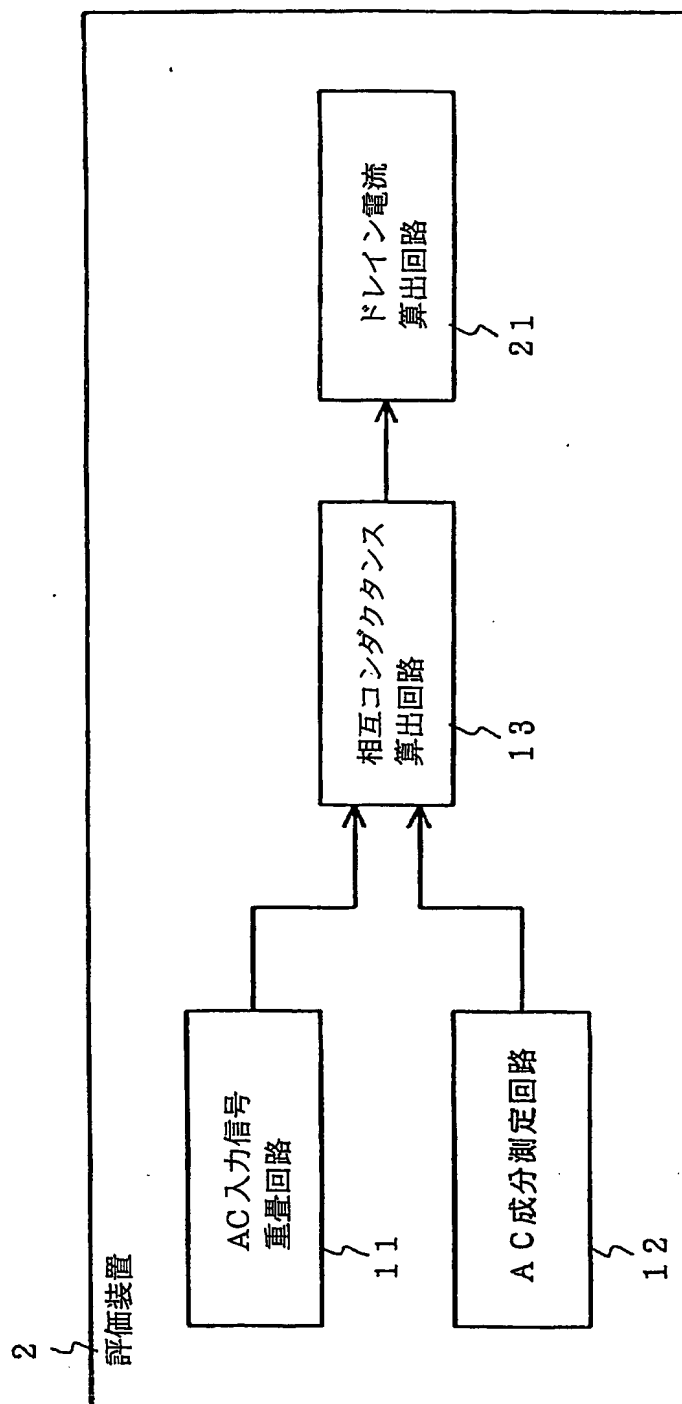


図 6



7/17

図 7

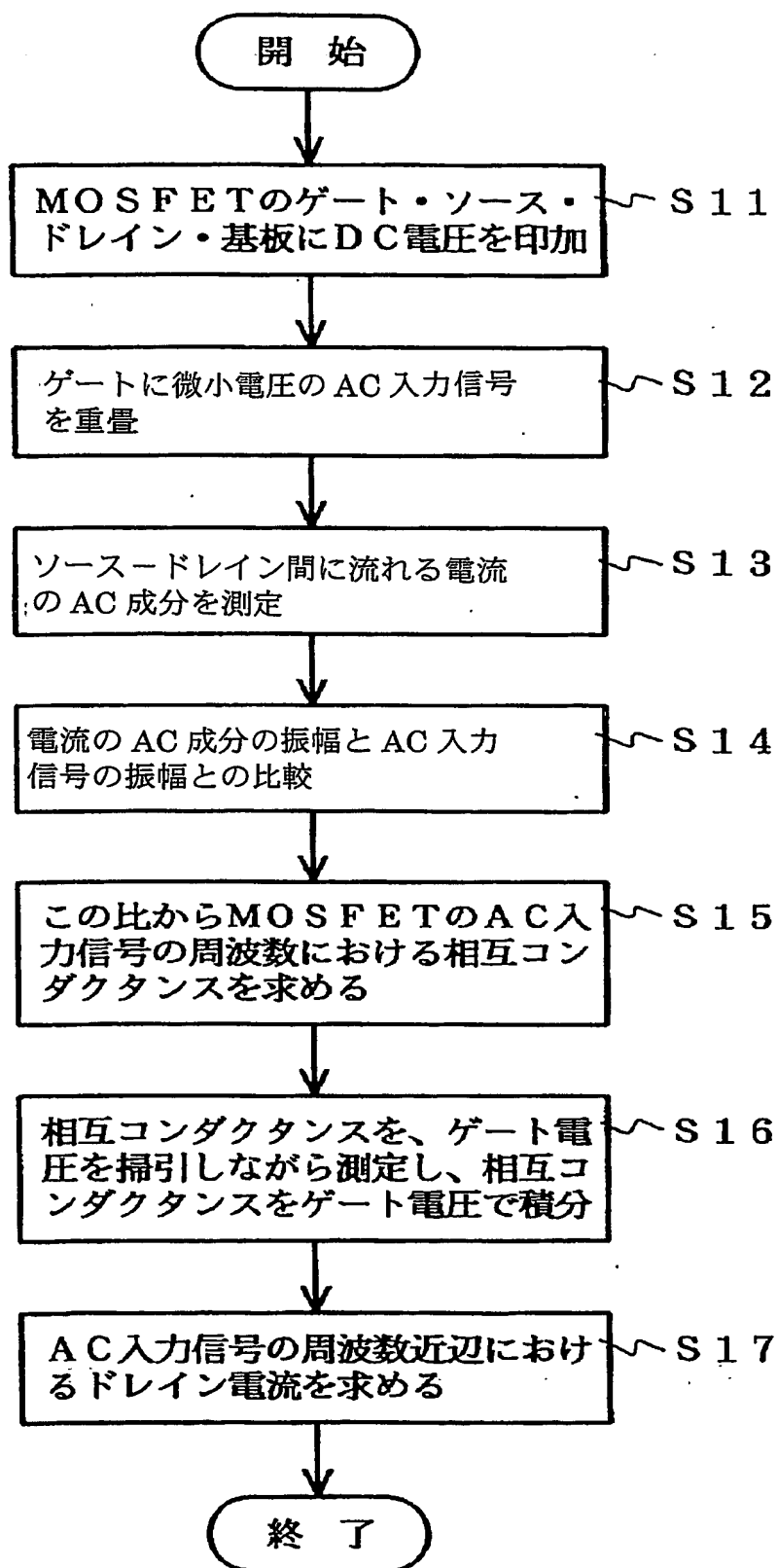


図 8

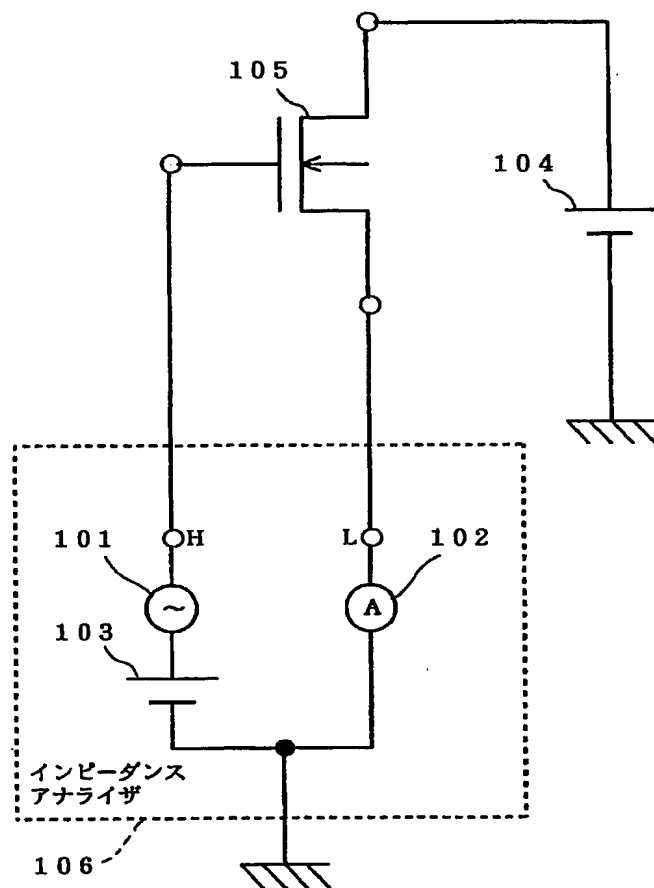


図 9

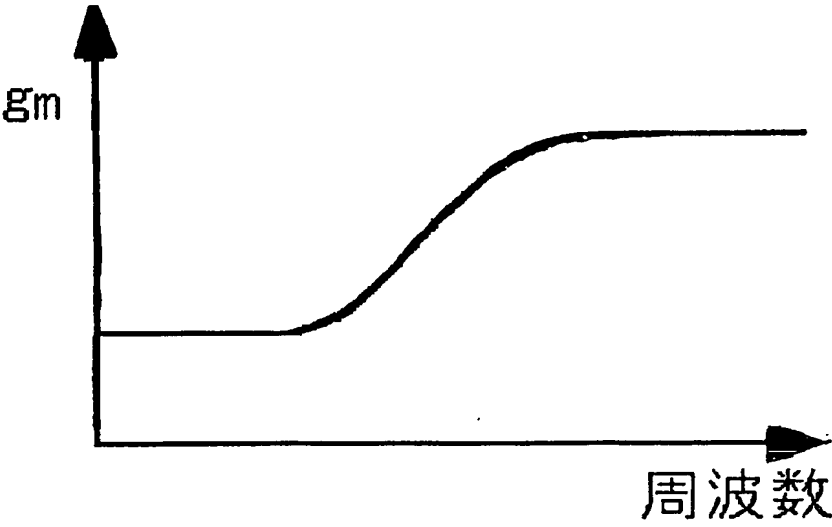


図 10

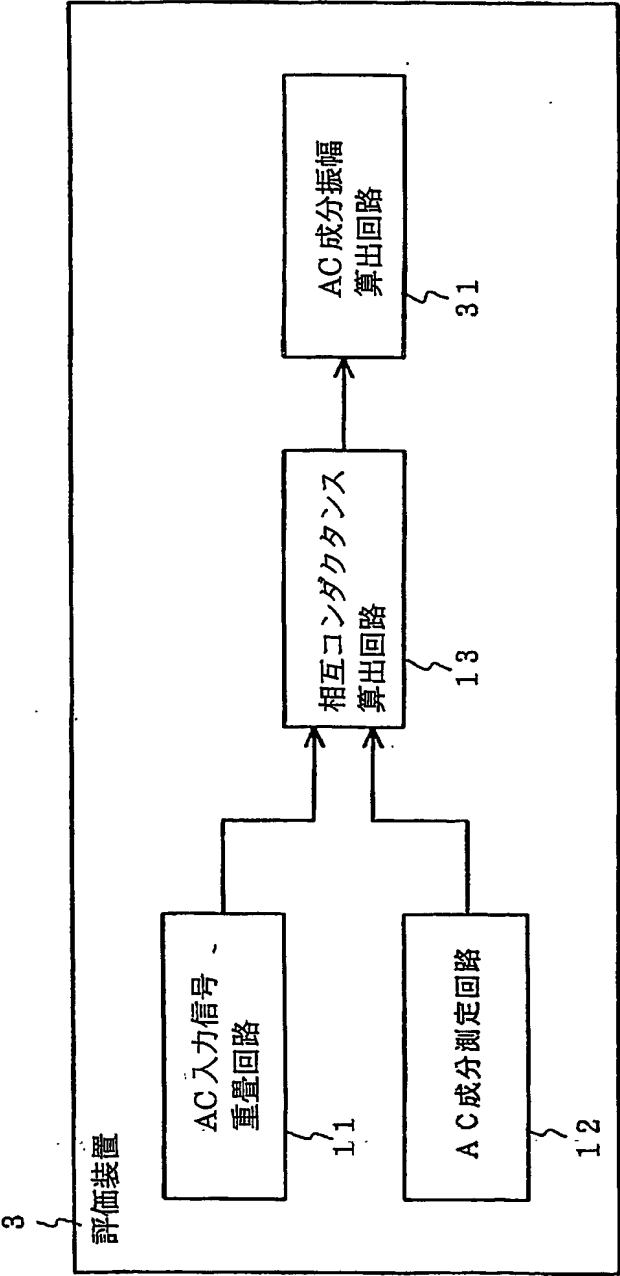


図 1 1

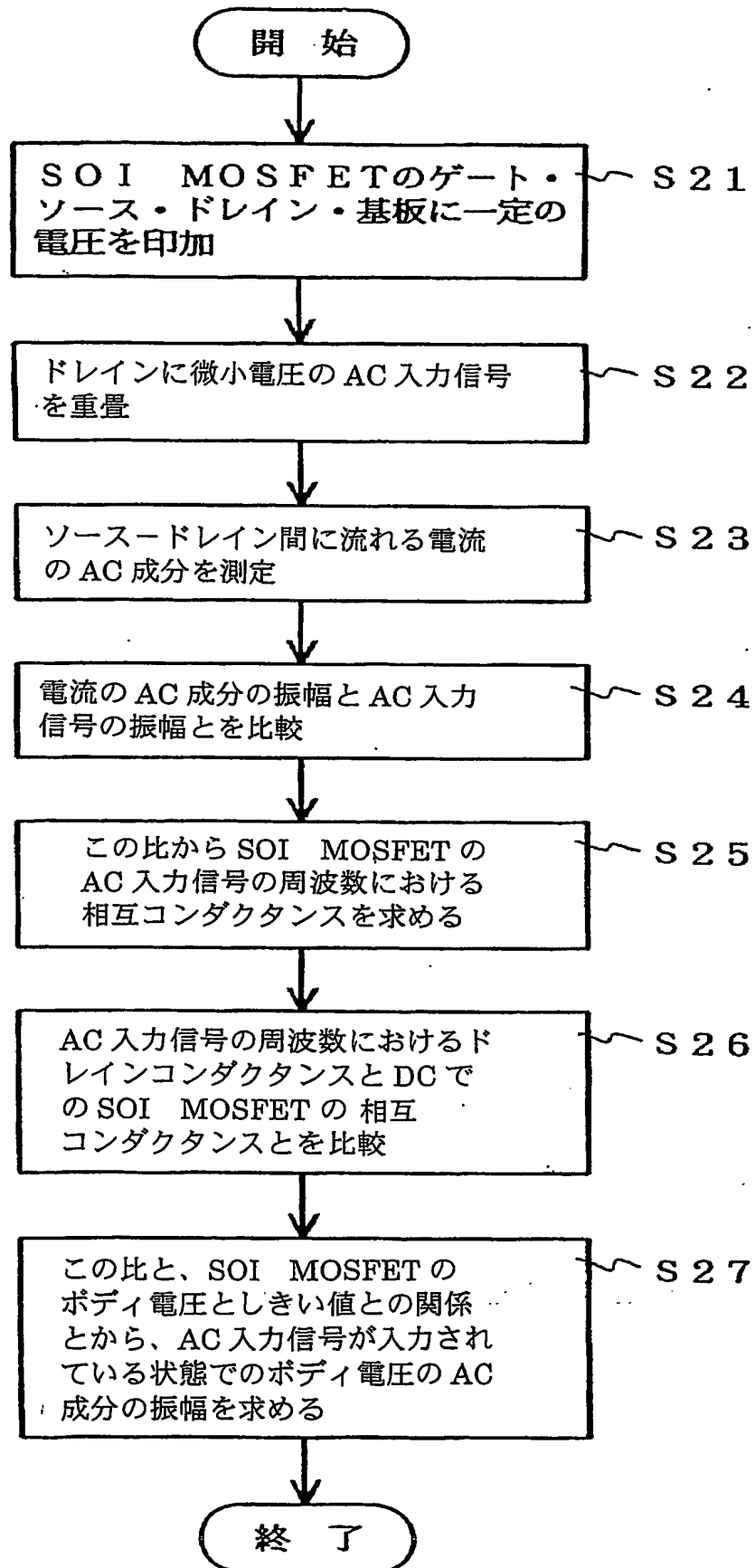


図 1 2

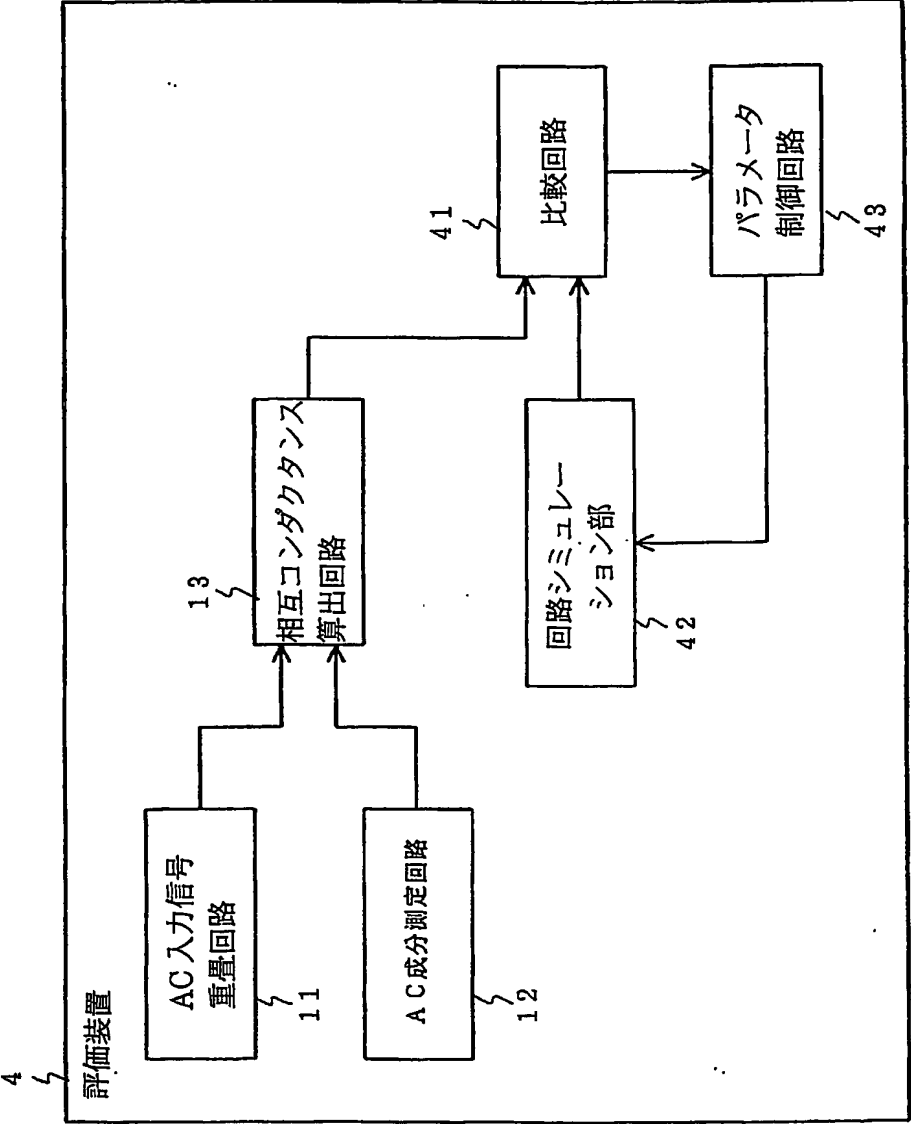


図 1 3

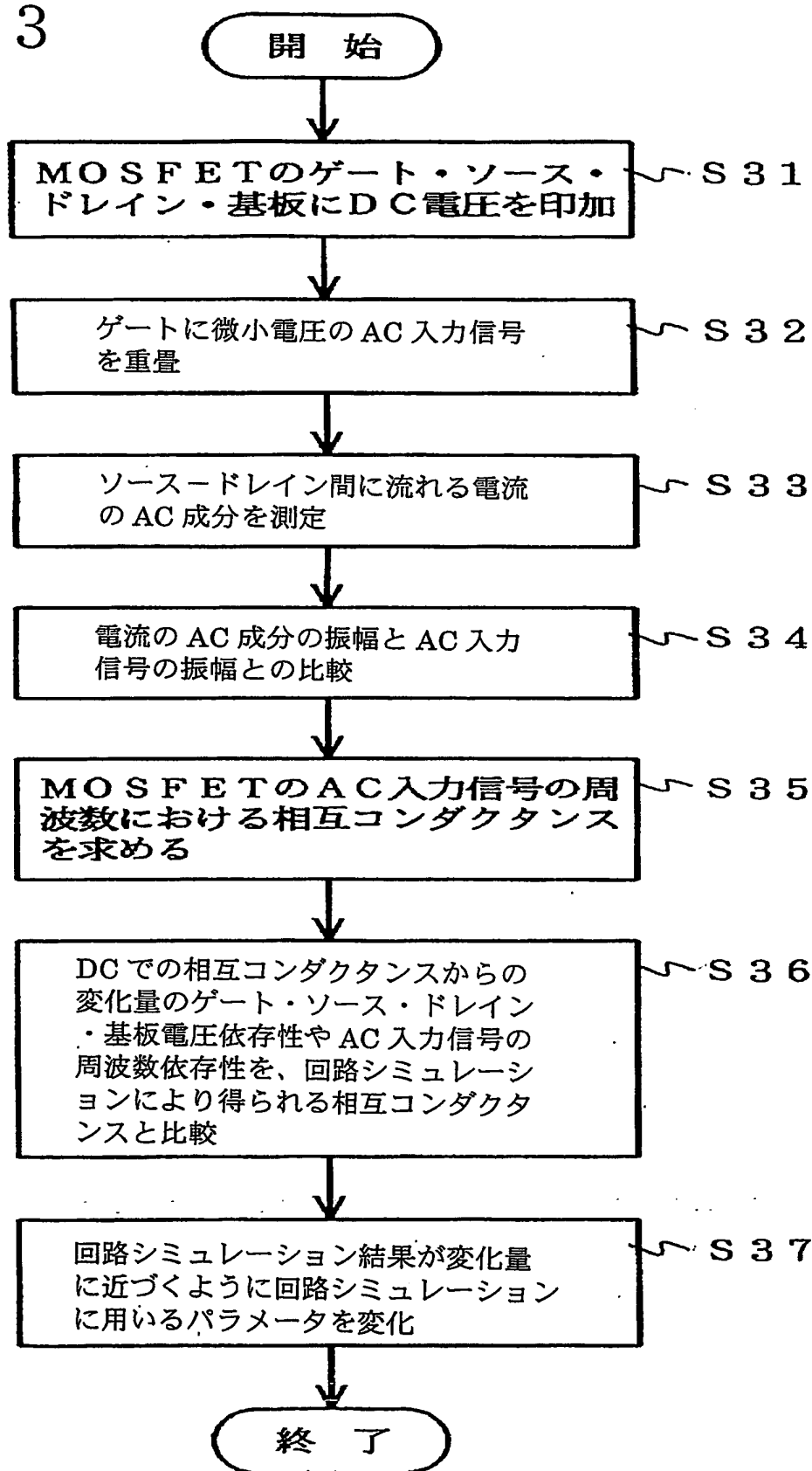


図 1 4

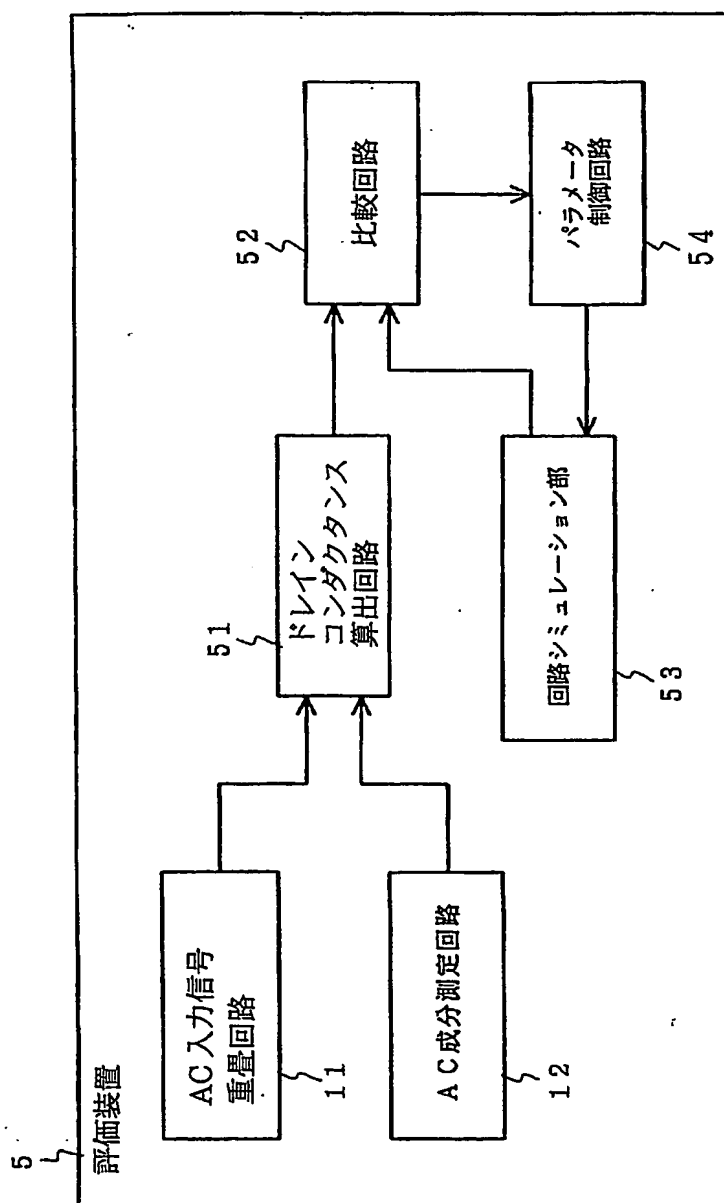


図 15

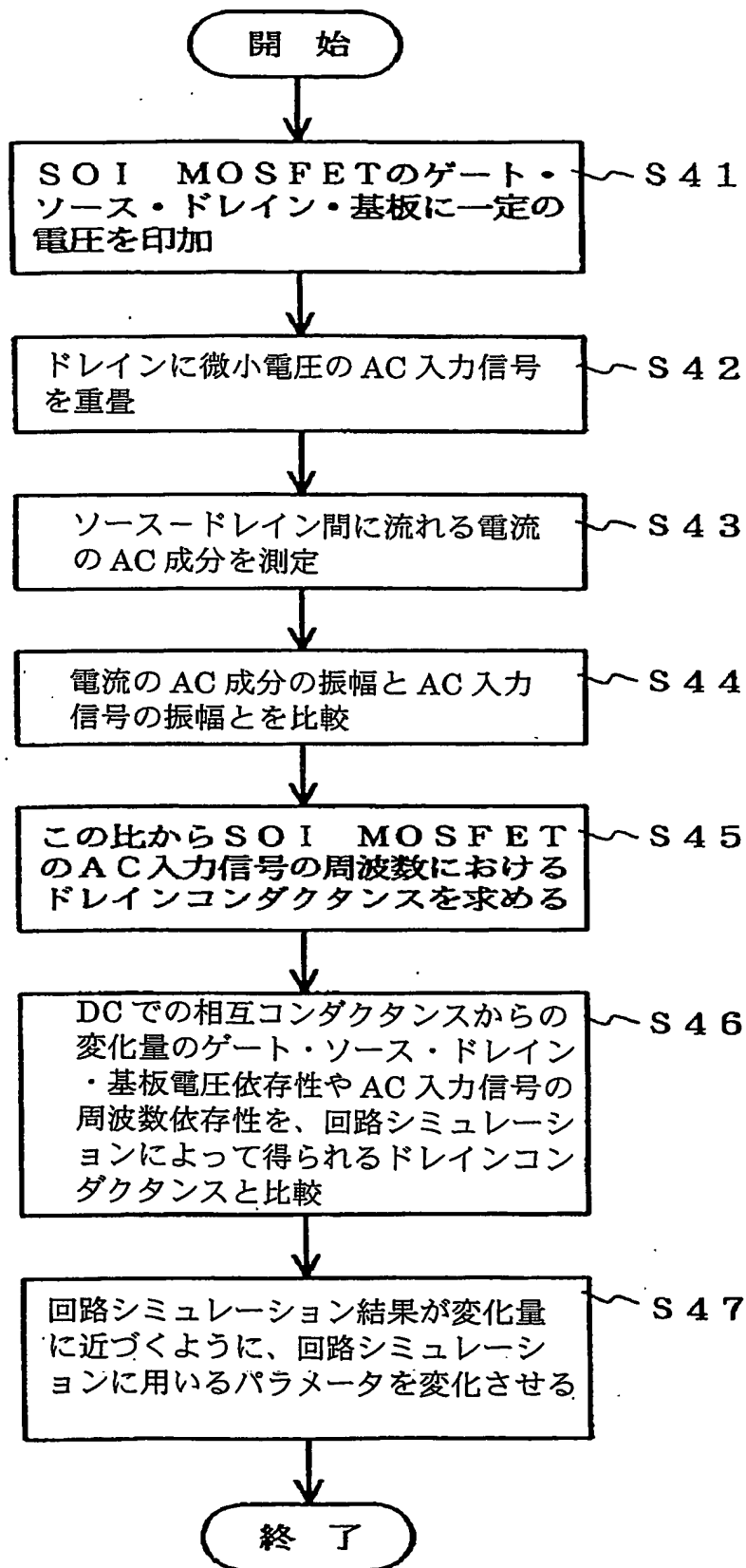
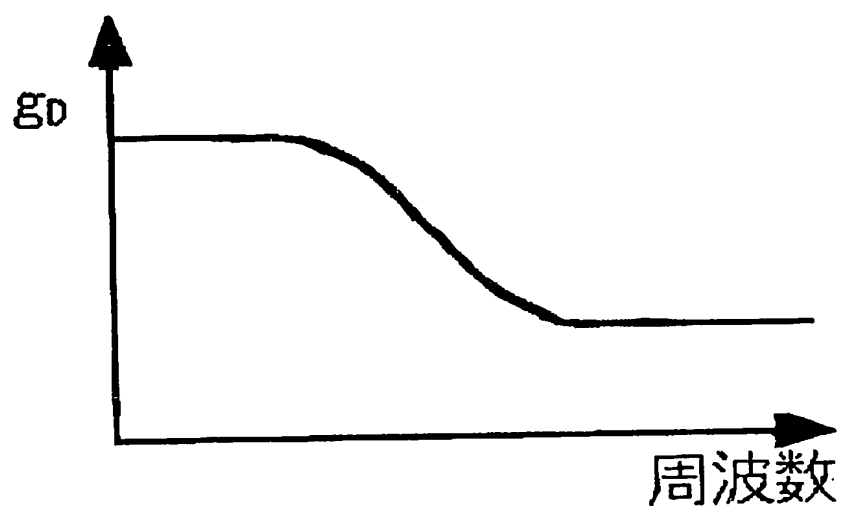


図 1 7



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16804

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G01R31/26

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G01R31/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2002-214279 A (Yugen Kaisha Akita Kaihatsu Center ARD), 31 July, 2002 (31.07.02), Full text; all drawings (Family: none)	1, 2, 5-8, 10-26 3-4, 9
Y A	JP 11-154696 A (NEC Corp.), 08 June, 1999 (08.06.99), Full text; all drawings (Family: none)	1, 2, 5-8, 10-26 3-4, 9
Y	JP 5-166909 A (Fujitsu Ltd.), 02 July, 1993 (02.07.93), Full text; all drawings (Family: none)	2, 8, 14, 17, 21, 24

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
06 April, 2004 (06.04.04)

Date of mailing of the international search report
20 April, 2004 (20.04.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16804

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 6-266789 A (Toshiba Corp.), 22 September, 1994 (22.09.94), Full text; all drawings & EP 615203 A1	5,10,13,15, 17,18,20,22, 24,25
Y	JP 7-6599 A (SGS-Thomson Microelectronics s.r.l.), 10 January, 1995 (10.01.95), Full text; all drawings & DE 69325767 E & EP 595775 B1 & US 5515318 A & US 5604699 A & US 5712816 A & US 5793675 A	7,12,16,19, 23,26

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ G01R 31/26

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ G01R 31/26

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国実用新案登録公報 1996-2004年

日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-214279 A (有限会社秋田開発センターエーアールディー) 2002. 07. 31, 全文, 全図 (ファミリーなし)	1, 2, 5-8, 10-26
A		3-4, 9
Y	JP 11-154696 A (日本電気株式会社) 1999. 06. 08, 全文, 全図 (ファミリーなし)	1, 2, 5-8, 10-26
A		3-4, 9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

06. 04. 2004

国際調査報告の発送日

20. 4. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

武田知晋

2S

9805

電話番号 03-3581-1101 内線 3256

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 5-166909 A (富士通株式会社) 1993. 07. 02, 全文, 全図 (ファミリーなし)	2, 8, 14, 17, 21, 24
Y	JP 6-266789 A (株式会社東芝) 1994. 09. 22, 全文, 全図 & EP 615203 A1	5, 10, 13, 15, 17, 18, 20, 22, 24, 25
Y	JP 7-6599 A (エスジーエーストムソン・マイクロエレクトロニク ス・ソチエタ・ア・レスポンサビリタ・リミタータ) 1995. 01. 10, 全文, 全図 & DE 69325767 E & EP 595775 B1 & US 5515318 A & US 5604699 A & US 5712816 A & US 5793675 A	7, 12, 16, 19, 23, 26